

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135817

(43)Date of publication of application : 22.05.1998

(51)Int.Cl. H03K 19/0185
H03K 19/096

(21)Application number : 08-284803 (71)Applicant : FUJITSU LTD
(22)Date of filing : 28.10.1996 (72)Inventor : ITOKAZU MASASHI
HARAGUCHI MUNEHIO
MORITA KEIZO
YOSHIOKA HIROSHI

(54) LEVEL SHIRT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a level shift circuit of reduced signal delay by providing first to fourth MOS transistors and fetching an output signal from the fourth MOS transistor.

SOLUTION: Both of pMOS 30 and nMOS 31 are diode-connected and pMOS 34 and nMOS 35 constitute an inverter gate 38 inputting the potential V_a of the connecting point of pMOS 30 and nMOS 31. Then when the W/L ratios (W is a gate width and L is a gate length) of pMOS 30 and pMOS 34 are made the same and the W/L ratios of pMOS 31 and nMOS 35 are made the same the neighborhood of the center of a potential V_a and the threshold value of the inverter gate 38 are nearly coincident so that the inverter gate 38 is immediately inverted with the transition of the potential V_a . Consequently delay between CK and V_{out} is reduced to apply a thin film transistor using the polycrystalline silicon thin film to nMOS 31 and nMOS 35 for instance without any problem.

CLAIMS

[Claim(s)]

[Claim 1] The 1st MOS transistor of one conductivity type which connected source to a power supply terminal and carried out a gate and a drain in common. Connected source to the 1st input signal terminal and connected a gate and a drain to a drain of

said 1st MOS transistor and also The 2nd MOS transistor of a conductivity type The 3rd MOS transistor of one conductivity type which connected source to said power supply terminal and connected a gate to a gate of said 1st MOS transistor Connected source to the 2nd input signal terminal connected a gate to a gate of said 2nd MOS transistor and connected a drain to a drain of said 3rd MOS transistor and also The 4th MOS transistor of a conductivity type A preparation a level shift circuit taking out an output signal from a drain of said 4th MOS transistor.

[Claim 2] The 1st MOS transistor of one conductivity type which connected source to the 1st power supply terminal and connected a gate to the 2nd power supply terminal Connected source to the 1st input signal terminal and connected a gate and a drain to a drain of said 1st MOS transistor and also The 2nd MOS transistor of a conductivity type The 3rd MOS transistor of one conductivity type which connected source to said 1st power supply terminal and connected a gate to said 2nd power supply terminal Connected source to the 2nd input signal terminal connected a gate to a gate of said 2nd MOS transistor and connected a drain to a drain of said 3rd MOS transistor and also The 4th MOS transistor of a conductivity type A preparation a level shift circuit taking out an output signal from a drain of said 4th MOS transistor.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the level shift circuit used for a liquid crystal display (LCD).

[0002]

[Explanation of a background] From the situation where the demand of display quality or power consumption to LCD is increasing severity increasingly in recent years in the case of a TN liquid crystal supply the picture signal of $10V_{pp}$ to a data bus and for example. Although a flicker etc. are controlled and improvement in display quality is aimed at by adopting what is called the common fixed driving method for fixing the potential of a counter electrode (it may be called a common electrode or a common electrode) to the intermediate potential and performing the amplitude drive of $\pm 5V$. Since the control signal and power supply voltage more than $10V_{pp}$ are needed at least in order to process the picture signal of $10V_{pp}$ in the driver circuit by the side of data there is a fault that power consumption increases. Then in order to lessen the leading portion of the control signal of high tension making the control signal of necessary high tension from the control signal of the low voltage is performed by the level shift circuit.

[0003]

[Description of the Prior Art] Drawing 4 and drawing 5 are two line block diagrams of

the conventional level shift circuit CK is a driving signal (CKx is an inversion signal of CK) of the low voltage and Vout is a driving signal (Voutx is an inversion signal of Vout) of high tension. Although not limited in particular in the following explanation, set voltage of CK to 0V – +5V and voltage of Vout is set to 0V – +15V and a p type MOS transistor will be abbreviated to "pMOS" and a n type MOS transistor will be abbreviated to "nMOS."

[0004] The level shift circuit of drawing 4 between the power supply Vcc (+15V) equivalent to the highest potential of Vout and the power supply Vss (0V) equivalent to the lowest potential of Vout. Connect pMOS1 and nMOS2 in series and pMOS3 and nMOS4 are connected in series. The gate of pMOS1 is connected to the output node 5 (intermediate node of pMOS3 and nMOS4) it connects with the output node 6 (intermediate node of pMOS1 and nMOS2) and the gate of pMOS3 is constituted.

[0005] The current mirror circuit 12 constituted from pMOS10 and pMOS11 is used for the level shift circuit of drawing 5 as load of nMOS13 and nMOS14 and it. CK is given to the gate of nMOS13 and the source of nMOS14 and CKx is given to the gate of nMOS14 and the source of nMOS13 and Vout is taken out from the drain of nMOS14.

[0006] Although one side of nMOS2 (drawing 5 numerals 13) and nMOS4 (drawing 5 numerals 14) carries out turn-on and another side carries out a turn-off in such composition at the time of transition of CK (at the time of the transition to +5V from 0V or this reverse transition) The timing of these turn-on and a turn-off needs to be in agreement as much as possible. For example after nMOS2 (drawing 5 numerals 13) carries out turn-on it is because the slight unwilling delay which corresponds between CK and Vout at the time t_d when it is [time t_d] behind and nMOS4 (drawing 5 numerals 14) carries out a turn-off is produced.

[0007]

[Problem(s) to be Solved by the Invention] The above-mentioned delay tends to become large when the thin film transistor which uses the silicon thin film of Pori for nMOS2 (**5** is the numerals 13) and nMOS4 (drawing 5 numerals 14) for example is applied. This kind of transistor is because it is difficult to control a threshold by the low voltage uniformly.

[0008] Then this invention aims at offer of a level shift circuit with little signal delay.

[0009]

[Means for Solving the Problem] The 1st MOS transistor of one conductivity type which the invention according to claim 1 connected source to a power supply terminal and carried out a gate and a drain in common. Connected source to the 1st input signal terminal and connected a gate and a drain to a drain of said 1st MOS transistor and also The 2nd MOS transistor of a conductivity type The 3rd MOS transistor of one conductivity type which connected source to said power supply terminal and connected a gate to a gate of said 1st MOS transistor. Connected source to the 2nd input signal terminal connected a gate to a gate of said 2nd MOS transistor and connected a drain to a drain of said 3rd MOS transistor and also The 4th

MOS transistor of a conductivity typeAn output signal was taken out from a drain of a preparation and said 4th MOS transistor.

[0010]The 1st MOS transistor of one conductivity type which the invention according to claim 2 connected source to the 1st power supply terminaland connected a gate to the 2nd power supply terminalConnected source to the 1st input signal terminaland connected a gate and a drain to a drain of said 1st MOS transistorand also The 2nd MOS transistor of a conductivity typeThe 3rd MOS transistor of one conductivity type which connected source to said 1st power supply terminaland connected a gate to said 2nd power supply terminalConnected source to the 2nd input signal terminalconnected a gate to a gate of said 2nd MOS transistorand connected a drain to a drain of said 3rd MOS transistorand also The 4th MOS transistor of a conductivity typeAn output signal was taken out from a drain of a preparation and said 4th MOS transistor.

[0011]In an invention of claim 1 (or claim 2) statement. Although the partial pressure of the potential difference between a power supply terminal (or the 1st power supply terminal) and the 1st input signal terminal is carried out by the 1st MOS transistor and the 2nd MOS transistor and the 3rd MOS transistor and the 4th MOS transistor turn on and off according to this partial pressure voltageIf a size ratio of the 1st MOS transistor and the 2nd MOS transistor is abbreviated—coincided with a size ratio of the 3rd MOS transistor and the 4th MOS transistorSaid partial pressure voltage will operate near the threshold of the 3rd MOS transistor and the 4th MOS transistorcan accelerate ON and OFF of the 3rd MOS transistor and the 4th MOS transistorand signal delay can be lessened.

[0012]

[Embodiment of the Invention]Hereafterthe example of this invention is described based on a drawing. Drawing 1 and drawing 2 are the figures showing the 1st example of the level shift circuit concerning this invention. 30 in drawing 1 pMOS as the 1st MOS transistor of one conductivity type31 is nMOS as the 2nd MOS transistor of other conductivity typesThe source of pMOS30 was connected to the power supply terminal 32 of Vcc1 (+15V) businesssthe gate and drain of pMOS30 were connected to the drain and gate of nMOS31and the source of nMOS31 is further connected to the 1st input signal terminal 33 for CK.

[0013]34 pMOS as the 3rd MOS transistor of one conductivity type35 is nMOS as the 4th MOS transistor of other conductivity typesThe source of pMOS34 is connected to the power supply terminal 36 of Vcc2 (+15V) businessThe gate of pMOS34 was connected to the gate of pMOS30the drain of pMOS34 was connected to the drain of nMOS35connect with the gate of pMOS30and the gate of nMOS35 is constitutedand Vout is taken out from the drain of nMOS35.

[0014]When constituted in this wayeach of pMOS30 and nMOS31 becomes diode connectionand pMOS34 and nMOS35 will constitute the inverter gate 38 which considers potential (for convenience Va) of the node of pMOS30 and nMOS31 as an

input. Drawing 2 is each part wave form chart of drawing 1. this example of a waveform -- V_a -- +5V period of CK -- about +11V and 0 of CK V period -- about -- it is +7V. That is V_a has the variation width from about +7V to about +11V.

[0015] Make the same the W/L ratio (W is gate width and L is gate length) of pMOS30 and pMOS34 and here. If the W/L ratio of nMOS31 and nMOS35 is made the same near the center of the variation width of V_a and threshold V_T of the inverter gate 38 can be abbreviated-coincided. The inverter gate 38 can be promptly reversed with transition of V_a (one side of pMOS34 and nMOS35 carries out turn-on and another side is a turn-off).

[0016] Therefore the thin film transistor which lessened delay between CK and V_{out} for example uses the silicon thin film of Pori for nMOS31 and nMOS35 can be applied now convenient. The conductivity type of each transistor (pMOS30, pMOS34, nMOS31 and nMOS35) of the above-mentioned example can also be replaced. In this case if referred to as $V_{cc1}=V_{cc2}=-10V$ the amplitude (refer to the dashed line of drawing 2) of V_a will be set to +1V - -3V and the amplitude (refer to the dashed line of drawing 2) of V_{out} will be set to +5V - -10V.

[0017] Either CK or CKx can also be made into the constant potential of an external input. For example when CKx is made into constant potential the amplitude of the voltage between gate source of nMOS35 becomes small. Since the terminal 37 of CKx can be shared in each circuit when two or more level shift circuits are provided on the same substrate although the tolerance level of a threshold of operation becomes narrow the merit that a terminal number required for a drive can be reduced and power-saving can be attained is obtained.

[0018] Drawing 3 is a figure showing the 2nd example of the level shift circuit concerning this invention. In drawing 3 40 is pMOS which connected source to the 1st power supply terminal 42 of V_{cc1} (+15V) bus and connected the gate to the 2nd power supply terminal 43 of V_{cc3} (+8V) bus and this pMOS40 is equivalent to the 1st MOS transistor of one conductivity type. 41 is nMOS which connected source to the 1st input signal terminal 44 for CK and connected the drain and the gate to the drain of said pMOS40 and this nMOS41 is equivalent to the 2nd MOS transistor of other conductivity types. 45 is pMOS which connected source to the 3rd power supply terminal 47 (as common as the 1st power supply terminal 42 when $V_{cc1}=V_{cc2}$) of V_{cc2} (+15V) bus and connected the gate to the 2nd power supply terminal 45 and this pMOS45 is equivalent to the 3rd MOS transistor of one conductivity type. 46 connects source to the 2nd input signal terminal 48 for CKx and connects a gate to the gate of nMOS41. A drain is connected to the drain of pMOS45 and it is nMOS which took out V_{out} from the drain and this nMOS46 is equivalent to the 4th MOS transistor of other conductivity types.

[0019] If constituted in this way pMOS40 and pMOS45 will become a constant current source controlled by V_{cc3} and nMOS41 will become diode connection. Therefore the drain potential of nMOS41 turns into the potential V_b which carried out the partial

pressure of the potential difference of Vcc1 and CK by pMOS40 and nMOS41 Since nMOS46 is promptly turned on and off according to this Vb delay between CK and Vout is lessened like the 1st example For example the thin film transistor which uses the silicon thin film of Pori for nMOS41 and nMOS46 can be applied convenient and also there is a merit that it can respond also to the variation in the threshold of pMOS40 and pMOS45 flexibly by adjusting Vcc3.

[0020] Also in this example the conductivity type of each transistor can be replaced and either CK or CKx can also be made into the constant potential of an external input.

[0021]

[Effect of the Invention] According to the invention according to claim 1 or 2 ON and OFF of the 3rd MOS transistor and the 4th MOS transistor can be accelerated and signal delay can be lessened For example the thin film transistor which uses the silicon thin film of Pori for these transistors can be applied now convenient.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a lineblock diagram of the 1st example.

[Drawing 2] It is a wave form chart of the 1st example.

[Drawing 3] It is a lineblock diagram of the 2nd example.

[Drawing 4] It is a lineblock diagram of a conventional example.

[Drawing 5] They are other lineblock diagrams of a conventional example.

[Description of Notations]

Vout: Output signal

30: pMOS (the 1st MOS transistor)

31: nMOS (the 2nd MOS transistor)

3236: Power supply terminal

33: The 1st input signal terminal

34: pMOS (the 3rd MOS transistor)

35: nMOS (the 4th MOS transistor)

37: The 2nd input signal terminal

40: pMOS (the 1st MOS transistor)

41: nMOS (the 2nd MOS transistor)

42: The 1st power supply terminal

43: The 2nd power supply terminal

45: pMOS (the 3rd MOS transistor)

46: nMOS (the 4th MOS transistor)

47: The 3rd power supply terminal (the 1st power supply terminal)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135817

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 K 19/0185
19/096

H 0 3 K 19/00
19/096

1 0 1 B
B

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平8-284803

(22) 出願日

平成 8 年 (1996) 10 月 28 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(72) 発明者 糸数 昌史

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

(72) 発明者 原口 宗広

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

(74) 代理人 弁理士 有我 軍一郎

最終頁に続く

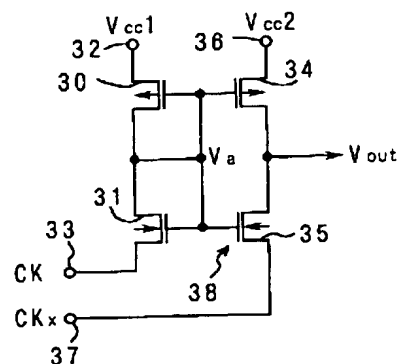
(54) 【発明の名称】 レベルシフト回路

(57) 【要約】

【課題】 信号遅延の少ないレベルシフト回路の提供。

【解決手段】 ソースを電源端子に接続しゲートとドレインを共通にした一導電型の第 1 MOS、ソースを第 1 入力信号端子に接続しゲートとドレインを第 1 MOS のドレインに接続した他導電型の第 2 MOS、ソースを電源端子に接続しゲートを第 1 MOS のゲートに接続した一導電型の第 3 MOS、ソースを第 2 入力信号端子に接続しゲートを第 2 MOS のゲートに接続しドレインを第 3 MOS のドレインに接続した他導電型の第 4 MOS を備える。第 1 MOS と第 2 MOS のサイズ比を第 3 MOS と第 4 MOS のサイズ比に略一致させれば、分圧電圧が第 3 MOS と第 4 MOS のしきい値付近で動作し、第 3 MOS と第 4 MOS のオン／オフを高速化して信号遅延を少なくできる。

第 1 実施例の構成図



V_{out}: 出力信号
30: pMOS (第 1 MOS トランジスタ)
31: nMOS (第 2 MOS トランジスタ)
32、36: 電源端子
33: 第 1 入力信号端子
34: pMOS (第 3 MOS トランジスタ)
35: nMOS (第 4 MOS トランジスタ)
37: 第 2 入力信号端子

【特許請求の範囲】

【請求項1】 ソースを電源端子に接続しゲートとドレインを共通にした一導電型の第1 MOS トランジスタと、ソースを第1 入力信号端子に接続しゲートとドレインを前記第1 MOS トランジスタのドレインに接続した他導電型の第2 MOS トランジスタと、ソースを前記電源端子に接続しゲートを前記第1 MOS トランジスタのゲートに接続した一導電型の第3 MOS トランジスタと、ソースを第2 入力信号端子に接続しゲートを前記第2 MOS トランジスタのゲートに接続しドレインを前記第3 MOS トランジスタのドレインに接続した他導電型の第4 MOS トランジスタと、を備え、前記第4 MOS トランジスタのドレインから出力信号を取り出したことを特徴とするレベルシフト回路。

【請求項2】 ソースを第1 電源端子に接続しゲートを第2 電源端子に接続した一導電型の第1 MOS トランジスタと、ソースを第1 入力信号端子に接続しゲートとドレインを前記第1 MOS トランジスタのドレインに接続した他導電型の第2 MOS トランジスタと、ソースを前記第1 電源端子に接続しゲートを前記第2 電源端子に接続した一導電型の第3 MOS トランジスタと、ソースを第2 入力信号端子に接続しゲートを前記第2 MOS トランジスタのゲートに接続しドレインを前記第3 MOS トランジスタのドレインに接続した他導電型の第4 MOS トランジスタと、を備え、前記第4 MOS トランジスタのドレインから出力信号を取り出したことを特徴とするレベルシフト回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、液晶ディスプレイ(LCD) に用いられるレベルシフト回路に関する。

【0002】

【背景の説明】 近年、LCD に対する表示品質や電力消費の要求がますます厳しさを増している状況から、たとえば、TN型液晶の場合、データバスに10Vppの画像信号を供給すると共に、対向電極（共通電極若しくは共通電極と言うこともある）の電位をその中間電位に固定して±5Vの両極性駆動を行ういわゆるコモン固定駆動法を採用することにより、フリッカなどを抑制して表示品質の向上を図っているが、10Vppの画像信号をデータ側のドライバ回路内で処理するには、少なくとも10Vpp以上の制御信号と電源電圧が必要になるため、電力消費が増えるという欠点がある。そこで、高電圧の制御信号の引き回し部分を少なくするために、レベルシフト回路によって、低電圧の制御信号から所要の高電圧の制御信号を作り出すことが行われる。

【0003】

【従来の技術】 図4、図5は従来のレベルシフト回路の二つの構成図であり、CKは低電圧の駆動信号（CKxはCKの反転信号）、Voutは高電圧の駆動信号（VoutxはVoutの反転信号）である。特に限定しないが、以下の説明では、CKの電圧を0V～+5Vとし、Voutの電圧を0V～+15Vとすると共に、p型のMOSトランジスタを「pMOS」と略し、n型のMOSトランジスタを「nMOS」と略すことにする。

【0004】 図4のレベルシフト回路は、Voutの最高電位に相当する電源Vcc（+15V）とVoutの最低電位に相当する電源Vss（0V）との間に、pMOS1とnMOS2とを直列に接続し、pMOS3とnMOS4とを直列に接続し、さらに、pMOS1のゲートを出力ノード5（pMOS3とnMOS4の中間ノード）に接続し、pMOS3のゲートを出力ノード6（pMOS1とnMOS2の中間ノード）に接続して構成している。

【0005】 また、図5のレベルシフト回路は、pMOS10とpMOS11で構成したカレントミラー回路12を、nMOS13とnMOS14の負荷として用いると共に、nMOS13のゲートとnMOS14のソースにCKを与え、nMOS14のゲートとnMOS13のソースにCKxを与え、且つ、nMOS14のドレインからVoutを取り出すというものである。

【0006】 このような構成において、CKの遷移時（0Vから+5Vへの遷移時またはこの逆の遷移時）には、nMOS2（図5では符号13）とnMOS4（図5では符号14）の一方がターンオンし、他方がターンオフするが、これらターンオンとターンオフのタイミングはできるだけ一致している必要がある。たとえば、nMOS2（図5では符号13）がターンオンした後、わずかな時間td遅れて、nMOS4（図5では符号14）がターンオフすると、CKとVoutの間に、時間tdに相当する不本意な遅延を生じるからである。

【0007】

【発明が解決しようとする課題】 上記遅延は、nMOS2（図5では符号13）とnMOS4（図5では符号14）に、たとえばポリのシリコン薄膜を使用した薄膜トランジスタを適用した場合に大きくなる傾向がある。この種のトランジスタは、しきい値を低電圧で均一に制御することが困難であるからである。

【0008】 そこで、本発明は、信号遅延の少ないレベルシフト回路の提供を目的とする。

【0009】

【課題を解決するための手段】 請求項1記載の発明は、ソースを電源端子に接続しゲートとドレインを共通にした一導電型の第1 MOS トランジスタと、ソースを第1 入力信号端子に接続しゲートとドレインを前記第1 MOS トランジスタのドレインに接続した他導電型の第2 MOS トランジスタと、ソースを前記電源端子に接続しゲ

ートを前記第1 MOSトランジスタのゲートに接続した一導電型の第3 MOSトランジスタと、ソースを第2入力信号端子に接続しゲートを前記第2 MOSトランジスタのゲートに接続しドレインを前記第3 MOSトランジスタのドレインに接続した他導電型の第4 MOSトランジスタと、を備え、前記第4 MOSトランジスタのドレインから出力信号を取り出したことを特徴とする。

【0010】請求項2記載の発明は、ソースを第1電源端子に接続しゲートを第2電源端子に接続した一導電型の第1 MOSトランジスタと、ソースを第1入力信号端子に接続しゲートとドレインを前記第1 MOSトランジスタのドレインに接続した他導電型の第2 MOSトランジスタと、ソースを前記第1電源端子に接続しゲートを前記第2電源端子に接続した一導電型の第3 MOSトランジスタと、ソースを第2入力信号端子に接続しゲートを前記第2 MOSトランジスタのゲートに接続しドレインを前記第3 MOSトランジスタのドレインに接続した他導電型の第4 MOSトランジスタと、を備え、前記第4 MOSトランジスタのドレインから出力信号を取り出したことを特徴とする。

【0011】請求項1（または請求項2）記載の発明では、電源端子（または第1電源端子）と第1入力信号端子との間の電位差が第1 MOSトランジスタと第2 MOSトランジスタで分圧され、この分圧電圧に応じて第3 MOSトランジスタ及び第4 MOSトランジスタがオン／オフするが、第1 MOSトランジスタと第2 MOSトランジスタのサイズ比を、第3 MOSトランジスタと第4 MOSトランジスタのサイズ比に略一致させれば、前記分圧電圧が第3 MOSトランジスタと第4 MOSトランジスタのしきい値付近で動作することとなり、第3 MOSトランジスタと第4 MOSトランジスタのオン／オフを高速化して信号遅延を少なくすることができる。

【0012】

【発明の実施の形態】以下、本発明の実施例を図面に基いて説明する。図1、図2は本発明に係るレベルシフト回路の第1実施例を示す図である。図1において、30は一導電型の第1 MOSトランジスタとしてのp MOS、31は他導電型の第2 MOSトランジスタとしてのn MOSであり、p MOS 30のソースをVcc1（+1.5V）用の電源端子32に接続し、p MOS 30のゲートとドレインをn MOS 31のドレインとゲートに接続し、さらに、n MOS 31のソースをCK用の第1入力信号端子33に接続している。

【0013】また、34は一導電型の第3 MOSトランジスタとしてのp MOS、35は他導電型の第4 MOSトランジスタとしてのn MOSであり、p MOS 34のソースをVcc2（+1.5V）用の電源端子36に接続し、p MOS 34のゲートをp MOS 30のゲートに接続し、p MOS 34のドレインをn MOS 35のドレインに接続し、n MOS 35のゲートをp MOS 30のゲ

ートに接続して構成すると共に、n MOS 35のドレインからVoutを取り出している。

【0014】このように構成すると、p MOS 30とn MOS 31は、いずれもダイオード接続となり、また、p MOS 34とn MOS 35は、p MOS 30とn MOS 31との接続点の電位（便宜的にVa）を入力とするインバータゲート38を構成することになる。図2は図1の各部波形図である。この波形例では、Vaは、CKの+5V期間で約+1.1V、CKの0V期間で約+7Vとなっている。すなわち、Vaは約+7Vから約+1.1Vまでの変化幅を有している。

【0015】ここで、p MOS 30とp MOS 34のW/L比（Wはゲート幅、Lはゲート長）を同じにすると共に、n MOS 31とn MOS 35のW/L比を同じにすると、Vaの変化幅の中心付近とインバータゲート38のしきい値VTとを略一致させることができ、Vaの遷移に伴って直ちにインバータゲート38を反転（p MOS 34とn MOS 35の一方がターンオンし他方がターンオフ）させることができる。

【0016】したがって、CKとVoutの間の遅延を少なくして、たとえば、n MOS 31とn MOS 35にポリのシリコン薄膜を使用した薄膜トランジスタを支障なく適用できるようになる。なお、上記実施例の各トランジスタ（p MOS 30、p MOS 34、n MOS 31及びn MOS 35）の導電型を入れ替えることもできる。この場合、Vcc1=Vcc2=-1.0Vとすれば、Vaの振幅（図2の破線参照）は、+1V～-3Vになり、また、Voutの振幅（図2の破線参照）は、+5V～-1.0Vになる。

【0017】また、CKまたはCKxの一方を外部入力の設定電位とすることもできる。たとえば、CKxを設定電位とした場合には、n MOS 35のゲートーソース間電圧の振幅が小さくなって、しきい値の動作許容範囲が狭くなるものの、レベルシフト回路が同一基板上に複数設けられている場合は、それぞれの回路でCKxの端子37を共用できるため、駆動に必要な端子数を削減して省電力化を図ることができるというメリットが得られる。

【0018】図3は本発明に係るレベルシフト回路の第2実施例を示す図である。図3において、40はソースをVcc1（+1.5V）用の第1電源端子42に接続し、ゲートをVcc3（+8V）用の第2電源端子43に接続したp MOSであり、このp MOS 40は一導電型の第1 MOSトランジスタに相当する。41はソースをCK用の第1入力信号端子44に接続し、ドレインとゲートを前記p MOS 40のドレインに接続したn MOSであり、このn MOS 41は他導電型の第2 MOSトランジスタに相当する。45はソースをVcc2（+1.5V）用の第3電源端子47（Vcc1=Vcc2とすると第1電源端子42と共通）に接続し、ゲートを第2電源端子45に接続したp MOSであり、このp MOS

45は一導電型の第3MOSトランジスタに相当する。
46はソースをCKx用の第2入力信号端子48に接続し、ゲートをnMOS41のゲートに接続し、ドレインをpMOS45のドレインに接続すると共にドレインからVoutを取り出したnMOSであり、このnMOS46は他導電型の第4MOSトランジスタに相当する。

【0019】このように構成すると、pMOS40とpMOS45はVcc3で制御される定電流源となり、また、nMOS41はダイオード接続となる。したがって、nMOS41のドレイン電位が、Vcc1とCKの電位差をpMOS40とnMOS41で分圧した電位Vbとなり、nMOS46がこのVbに応じて速やかにオンオフするから、第1実施例と同様に、CKとVoutの間の遅延を少なくして、たとえば、nMOS41とnMOS46にポリのシリコン薄膜を使用した薄膜トランジスタを支障なく適用できるようになるほか、Vcc3を調節することにより、pMOS40とpMOS45のしきい値のバラツキにも柔軟に対応できるというメリットがある。

【0020】なお、本実施例においても、各トランジスタの導電型を入れ替えることができ、また、CKまたはCKxの一方を外部入力用の定電位とすることもできる。

【0021】

【発明の効果】請求項1または請求項2記載の発明によれば、第3MOSトランジスタと第4MOSトランジスタのオン/オフを高速化して信号遅延を少なくすること

ができ、たとえば、これらのトランジスタにポリのシリコン薄膜を使用した薄膜トランジスタを支障なく適用できるようになる。

【図面の簡単な説明】

【図1】第1実施例の構成図である。

【図2】第1実施例の波形図である。

【図3】第2実施例の構成図である。

【図4】従来例の構成図である。

【図5】従来例の他の構成図である。

【符号の説明】

Vout：出力信号

30：pMOS（第1MOSトランジスタ）

31：nMOS（第2MOSトランジスタ）

32、36：電源端子

33：第1入力信号端子

34：pMOS（第3MOSトランジスタ）

35：nMOS（第4MOSトランジスタ）

37：第2入力信号端子

40：pMOS（第1MOSトランジスタ）

41：nMOS（第2MOSトランジスタ）

42：第1電源端子

43：第2電源端子

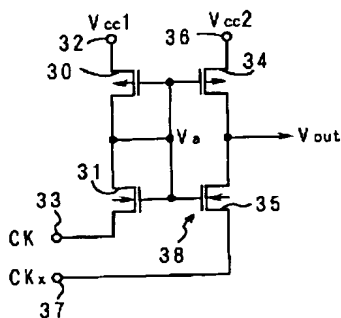
45：pMOS（第3MOSトランジスタ）

46：nMOS（第4MOSトランジスタ）

47：第3電源端子（第1電源端子）

【図1】

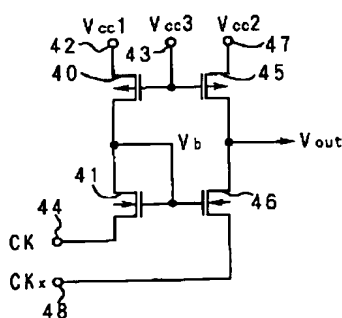
第1実施例の構成図



Vout：出力信号
30：pMOS（第1MOSトランジスタ）
31：nMOS（第2MOSトランジスタ）
32、36：電源端子
33：第1入力信号端子
34：pMOS（第3MOSトランジスタ）
35：nMOS（第4MOSトランジスタ）
37：第2入力信号端子

【図3】

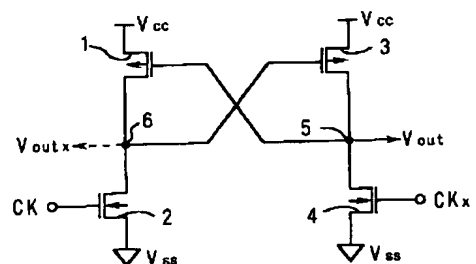
第2実施例の構成図



40：pMOS（第1MOSトランジスタ）
41：nMOS（第2MOSトランジスタ）
42：第1電源端子
43：第2電源端子
45：pMOS（第3MOSトランジスタ）
46：nMOS（第4MOSトランジスタ）
47：第3電源端子（第1電源端子）

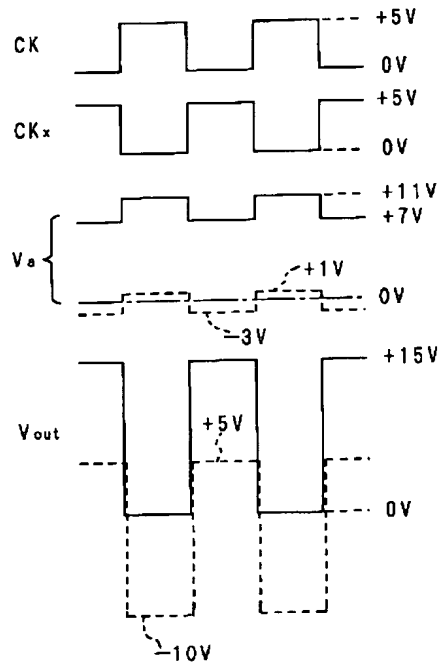
【図4】

従来例の構成図



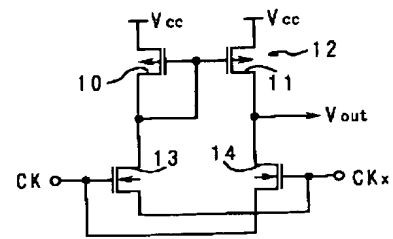
【図 2】

第 1 実施例の波形図



【図 5】

従来例の他の構成図



フロントページの続き

(72)発明者 森田 敬三
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 吉岡 浩史
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内